

KOREAN INTELLECTUAL PROPERTY OFFICE

KOREAN PATENT ABSTRACTS

(11) Publication number: 100167671 B1
 (43) Date of publication of application: 29.09.1998

(21) Application number: 1019950015900
 (22) Date of filing: 15.06.1995

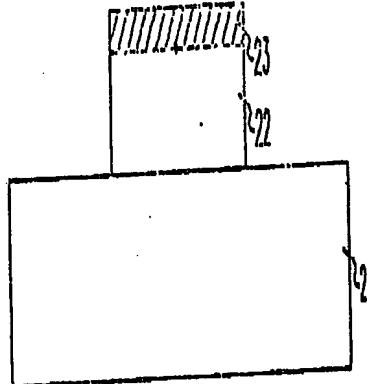
(71) Applicant: HYUNDAI ELECTRONICS IND.
 CO., LTD.
 (72) Inventor: CHOI, JIN HO
 MA, SUK RAK

(51) Int. Cl H01L 29 /786

(54) METHOD FOR FABRICATING A THIN FILM TRANSISTOR

(57) Abstract:

PURPOSE: A method for fabricating a thin film transistor is provided so that an electric field at an edge portion of a gate can be reduced and reliability of a device can be enhanced by forming thickness of an oxide at the edge portion of the gate to be thick and rounding the edge portion with smooth. CONSTITUTION: A method for fabricating a thin film transistor includes several steps. In a step, a polysilicon film (22) and an oxidation preventive film (23) for preventing oxidation of the surface of the polysilicon film are formed on a lower insulation film (21), sequentially. Thereafter, in a next step, by using same mask, patterning of the oxidation preventive film (23) and polysilicon film (22) is sequentially performed. In a next step, an oxidation process is performed and thereafter the patterned oxidation preventive film (23) is removed. Thereafter, a gate oxidation film (25) is formed on the upper portion of a whole structure.



COPYRIGHT 2000 KIPO

Legal Status

Date of request for an examination (19950615)

Notification date of refusal decision ()

Final disposal of an application (registration)

Date of final disposal of an application (19980630)

Patent registration number (1001676710000)

Date of registration (19980929)

Number of opposition against the grant of a patent ()

Date of opposition against the grant of a patent ()

Number of trial against decision to refuse ()

Date of requesting trial against decision to refuse ()

BEST AVAILABLE COPY

**THIS PAGE BLANK (USPTO
BEST AVAILABLE COPY**

본 발명은 반도체 소자 제조 공정중 박막트랜지스터 제조 방법에 관한 것으로, 특히 바텀(Bottom) 게이트 형(type) 박막 트랜지스터 제조 방법에 관한 것이다.

SRAM 소자의 루드 소자로 주로 사용되는 박막트랜지스터는 채널(channel) 부위를 폴리실리콘으로 사용하는 트랜지스터로, 제조 도를 통해 증래의 바텀 게이트 형 박막트랜지스터 제조 방법을 살펴본다. (12)을 마스크를 사용한 건식식각으로 패터닝하고, 게이트 절연막(13)을 형성한 후, 폴리실리콘막(14)을 역(14c)에 미온주입을 실시하고 나서, 소우스/드레인 미스크를 사용하여 상기 폴리실리콘막(14)상에 소우스(14a)/드레인(14d) 영역을 형성하였다.

그리고, 14b는 채널영역을 나타낸다.

그러나, 상기와 같은 증래의 바텀 게이트 형 박막트랜지스터는 박막트랜지스터에 높은 전압을 인가하는 정전류의 감소로 저전압의 증가 등 박막트랜지스터의 특성미화를 통해 형성될 것으로 예상된다.

따라서, 본 발명은 게이트 에지(edge) 부근의 전계를 감소시키는 박막트랜지스터의 특성을 열화를 방지하는 바텀 게이트 형 박막트랜지스터 제조 방법을 제공함을 목적으로 한다. 증기 특성을 확장하기 위한 본 발명의 일상사에서는 바텀 게이트 형 박막트랜지스터의 게이트 에지 부근의 전계를 두껍게 형성하여 게이트 에지 부근의 전계를 감소시키는 것이며, 이를 실시하기는 것이다.

이하, 첨부로 도면 제2a도 내지 제2b도 및 제3a도 내지 제3d도를 참조하여 본 발명의 실시예를 상세히 설명한다.

제2a도 내지 제2b도는 본 발명의 일상사예에 따른 바텀 게이트 형 박막트랜지스터 형성 공정도로서, 먼저, 제2a도에 도시된 바와 같이 하부절연막(21) 상에 게이트용 폴리실리콘막(22) 및 질화막(23)을 차례로 형성하고, 게이트 마스크를 사용한 건식식각으로 질화막(23) 및 폴리실리콘막(22)을 패터닝한다.

이어서, 제2b도에 도시된 바와 같이 산화공정을 통해 노출된 폴리실리콘막(22) 패트 축복 부위를 산화시킨다.

이때, 폴리실리콘막(22) 패트 축복 부위의 질화막(23)은 폴리실리콘막(22) 패트 표면이 산화되는 것을 방지하는 라운드지게 된다.

이어서, 제2c도에 도시된 바와 같이 상기 질화막(23)을 제거하고, 박막트랜지스터의 게이트 산화막(25)을 형성한다.

제2b도는 채널용 폴리실리콘막을 형성한 다음에, LDD 미온 주입 및 소우스/드레인 미온주입으로 삼기 본 발명의 일상사예에서 바텀 게이트 형 박막트랜지스터의 게이트 에지 부근의 산화막은 두껍게 형성되어 게이트 에지 부근의 전계를 감소시키게 된다.

제3a도 대지 제3b도는 본 발명의 다른 일상사예에 따른 바텀 게이트 형 박막 트랜지스터 형성 공정도로서, 먼저, 제3a도에 도시된 바와 같이 하부절연막(31) 상에 게이트용 폴리실리콘막(32) 및 질화막(33)을 차례로 형성하고, 게이트 마스크를 사용한 건식식각으로 폴리실리콘막(32) 및 폴리실리콘막(33)을 패터닝한다.

이어서, 제3b도에 도시된 바와 같이 전체구조 상부에 산화막을 증착한 다음 다시 바탕방정 전면식각하여 질화막(33) 및 폴리실리콘막(32) 패트 축복에 산화막 스페이서(34)를 형성한다.

이어서, 제3c도는 산화공정을 실시한 상태의 단면도로서, 산화막 스페이서(34)의 두께가 얇은 게이트용 박막이 상기 산화되어 게이트 폴리실리콘막 에지 부근은 소모스하게 라운드지게 된다.

마지막으로, 제3d도에 도시한 바와 같이 질화막(33) 및 폴리실리콘막(32) 패트 축복의 산화막 스페이서(34)를 제거하고, 전체구조 상부에 게이트 산화막(35) 및 채널용 폴리실리콘막을 형성한 다음에, LDD 미온 주입 및 소우스/드레인 미온주입으로 오프셋 영역(36c) 및 소우스(36a)/드레인(36d) 영역을 형성한다. 도면 부호 36b는 재료를 나타낸다.

본 발명의 다른 일상사예에서 바텀 게이트 형 박막트랜지스터의 게이트 에지 부근은 소모스하게 라운드지게 되며, 게이트 에지 부근의 전계를 감소시키게 된다.

마지막, 상기 설명과 같이 이루어지는 본 발명은 게이트 에지 부근의 전계를 감소시키는 박막트랜지스터의 온전류 감소, 문턱전압 증가 등의 특성을 회피를 방지함으로써 소자의 신뢰성을 향상시키는 효과가 있다.

(57) 청구항

박막 게이트 형 박막트랜지스터 제조 방법에 있어서, 하부절연막 상에 폴리실리콘막 및 상기 폴리실리콘막 표면의 산화를 방지하는 산화방지막을 차례로 형성하는 단계; 동일한 마스크를 사용하여 상기 산화방지막, 폴리실리콘막을 차례로 패터닝하는 단계; 산화공정을 실시하는 단계; 상기 패터닝된 산화방지막을 제거하는 단계; 전체구조 상부에 게이트 산화막을 형성하는 단계를 포함하는 것을 특징으로 하는 박막트

랜지스터 제조 방법

첨구항 2

제 1항에 있어서, 상기 산화방지막은 질화막인 것을 특징으로 하는 박막트랜지스터 제조 방법

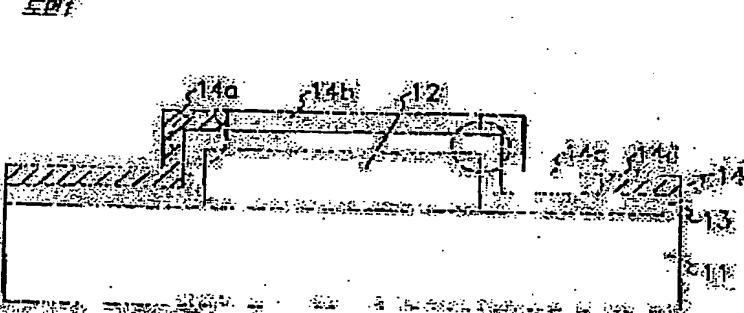
첨구항 3

바탕 게이트 형 박막트랜지스터 제조 방법에 있어서, 하부결연막 상에 폴리실리콘 및 상기 폴리실리콘 막 표면의 산화를 방지하는 산화방지막을 차례로 형성하는 단계, 동일한 디스크를 사용하여 상기 산화방지막, 폴리실리콘 막을 차례로 패터닝하는 단계, 상기 패터닝된 산화방지막과 폴리실리콘 막 출변에 산화막 스페이서를 형성하는 단계, 산화공정을 실시하는 단계, 상기 패터닝된 산화방지막 및 상기 산화막 스페이서를 제거하는 단계, 전체 구조 상부에 게이트 산화막을 형성하는 단계를 포함하는 것을 특징으로 하는 박막트랜지스터 제조 방법

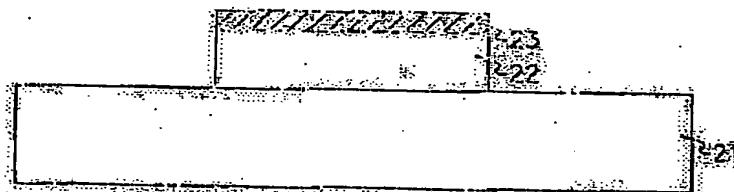
첨구항 4

제 3항에 있어서, 상기 산화방지막은 질화막인 것을 특징으로 하는 박막트랜지스터 제조 방법

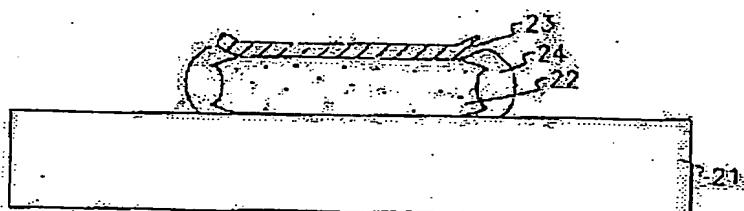
도면



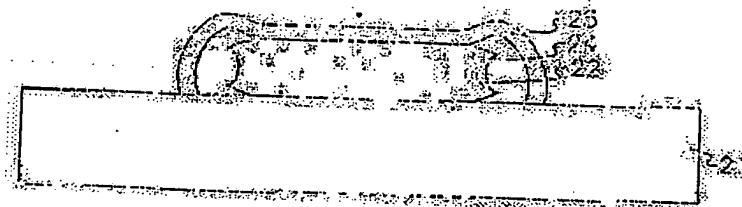
도면 1



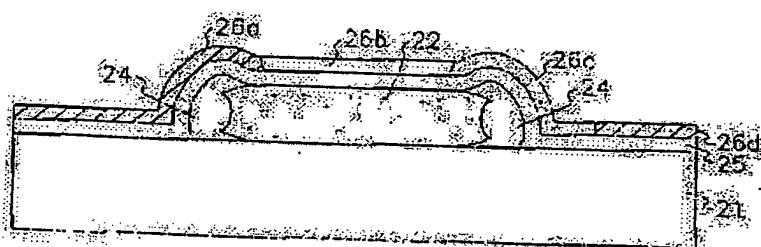
도면 2



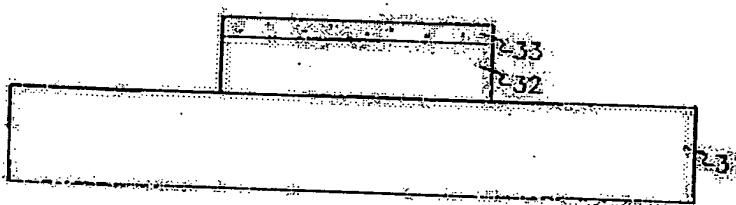
5020



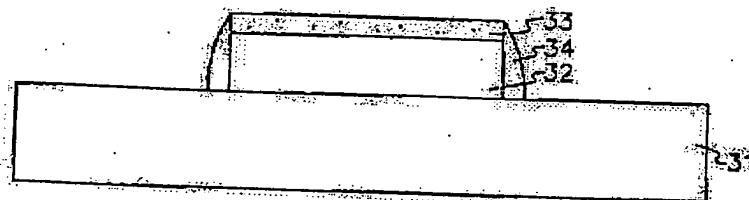
5024



5030

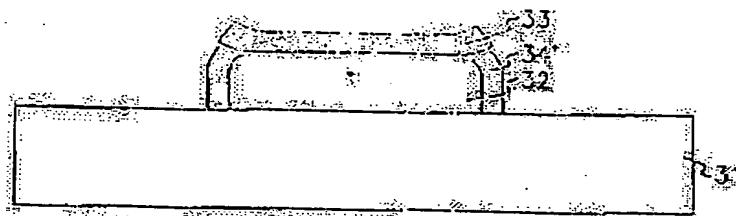


5036

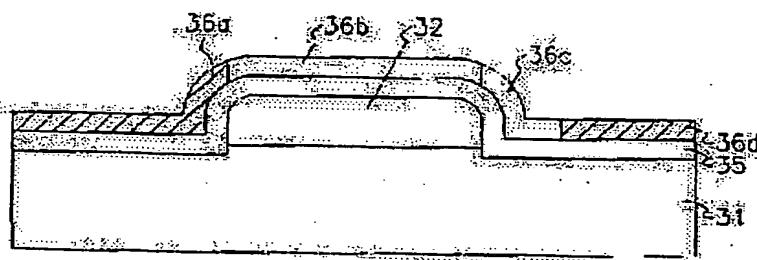


0167671

SD3a



SD3d



THIS PAGE BLANK (USPTO)